



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0076713  
Application Number PATENT-2002-0076713

출원년월일 : 2002년 12월 04일  
Date of Application DEC 04, 2002

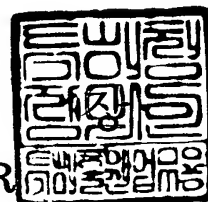
출원인 : 주식회사 코아매직  
Applicant(s) Coremagic Inc.



2003 년 01 월 13 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.12.04
【발명의 명칭】	온도 센서를 구비한 리프레쉬 동작용 클럭발생기
【발명의 영문명칭】	Clock generator for Refresh execution with temperature sensor
【출원인】	
【명칭】	주식회사 코아매직
【출원인코드】	1-2001-037474-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【발명자】	
【성명의 국문표기】	임정돈
【성명의 영문표기】	LIM, Jung Don
【주민등록번호】	670831-1041511
【우편번호】	122-010
【주소】	서울특별시 은평구 응암동 금호아파트 104-302
【국적】	KR
【발명자】	
【성명의 국문표기】	윤미경
【성명의 영문표기】	YUN, Mi Kyeong
【주민등록번호】	740530-2810118
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 68-11 304호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)

**【수수료】**

<b>【기본출원료】</b>	20	면	29,000	원
----------------	----	---	--------	---

<b>【가산출원료】</b>	18	면	18,000	원
----------------	----	---	--------	---

<b>【우선권주장료】</b>	0	건	0	원
-----------------	---	---	---	---

<b>【심사청구료】</b>	10	항	429,000	원
----------------	----	---	---------	---

<b>【합계】</b>	476,000	원		
-------------	---------	---	--	--

<b>【감면사유】</b>	중소기업			
---------------	------	--	--	--

<b>【감면후 수수료】</b>	238,000	원		
------------------	---------	---	--	--

**【첨부서류】**

1. 요약서·명세서(도면)\_1통 2. 중소기업기본법시행령 제2조에 의한 중소기업에 해당함을 증명하는 서류\_1통 3. 위임장\_1통

**【요약서】****【요약】**

본 발명은 온도의 변화에 따라 리프레쉬 동작 주기를 최적으로 조절할 수 있는 리프레쉬 동작용 클럭을 출력하는 리프레쉬 동작용 클럭발생기를 제공하기 위한 것으로, 이를 위해 본 발명은 온도에 비례하는 바이어스 전압을 출력하기 위한 바이어스 전압생성수단; 및 상기 바이어스 전압 레벨에 클럭 주파수가 비례하는 리프레쉬 동작용 클럭을 출력하기 위한 클럭생성수단을 구비하는 리프레쉬 동작용 클럭발생기를 제공한다.

**【대표도】**

도 6

**【색인어】**

반도체, 디램, 리프레쉬, 클럭발생기, 온도, 전류.

**【명세서】****【발명의 명칭】**

온도 센서를 구비한 리프레쉬 동작용 클럭발생기{Clock generater for Refresh execution with temperature sensor}

**【도면의 간단한 설명】**

도1은 종래기술에 의한 리프레쉬 동작용 클럭발생기의 블록구성도.

도2는 도1에 도시된 리프레쉬 동작용 클럭발생기의 회로도.

도3은 도2에 도시된 바이어스 전압생성부의 온도에 대한 기준전류 특성을 나타내는 그래프.

도4는 도2에 도시된 리프레쉬 동작용 클럭발생기의 온도에 대한 리프레쉬 동작용 클럭의 주파수 특성을 나타내는 그래프.

도5는 도2에 도시된 리프레쉬 동작용 클럭발생기에서 출력되는 리프레쉬 동작용 클럭에 따라 리프레쉬 동작을 수행할 때의 온도에 대한 리프레쉬 주기 특성을 나타내는 그래프.

도6은 본 발명의 사상에 따라 구성된 리프레쉬 동작용 클럭발생기의 블록도.

도7은 도6에 도시된 바이어스 전압생성부의 바람직한 일실시예에 따른 회로도.

도8는 도6에 도시된 클럭생성부의 바람직한 일실시예에 따른 회로도.

도9은 도7에 도시된 바이어스 전압생성부의 동작을 나타내는 그래프.

도10은 도6에 리프레쉬 동작용 클럭발생기의 온도에 대한 리프레쉬 동작용 클럭의 주파수 특성을 나타내는 그래프.

도11는 도6에 리프레쉬 동작용 클럭발생기의 온도에 대한 리프레쉬 동작의 주기를 나타내는 그래프.

**\*도면의 주요부분에 대한 부호의 설명\***

MP1 ~ MP18 : 피모스 트랜지스터

MN1 ~ MN19 : 엔모스 트랜지스터

R, Rp, Rn : 저항

BN1 ~ BN3 : 앤피엔 바이폴라 트랜지스터

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<17> 본 발명은 반도체 장치에 관한 것으로, 특히 클럭을 생성하여 출력하는 클럭발생기에 관한 것으로, 보다 자세하게는 리프레쉬 동작시에 사용하는 클럭을 생성하는 클럭발생기에 관한 것이다.

<18> 일반적으로 반도체 메모리 장치는 크게 동적 메모리 장치(Dynamic RAM, 이하, 'DRAM'이라 함)와 정적 메모리 장치(StaticRAM, 이하, 'SRAM'이라 함)로 분류된다. 그 중에서 SRAM은 래치(latch)를 형성하는 4개의 트랜지스터로 기본 셀을 구

현하기 때문에 전원이 제거되지 않는 한, 저장된 데이터는 손상없이 보존된다. 따라서 데이터를 재충전시키는 리프레쉬(REFRESH) 동작은 요구되지 않는다.

<19> 그러나, DRAM은 1개의 트랜지스터와 1개의 캐패시터로 기본 셀을 구성하고, 캐패시터에 데이터를 저장한다. 그런데 캐패시터 소자의 특성상 저장된 데이터를 나타내는 캐패시터의 전하는 시간이 지나감에 따라 감소한다. 따라서 DRAM은 정기적으로 메모리 셀 내의 데이터를 재충전하는 리프레쉬 동작이 요구된다.

<20> 리프레쉬 동작은 다음과 같은 일련의 과정을 통하여 수행된다. 일정 시간마다 순차적으로 행번지를 바꿔가면서 메모리 셀의 워드라인이 선택된다. 그리고 이 워드라인에 대응하는 캐패시터에 저장된 전하는 감지 증폭수단에 의하여 증폭되어 다시 캐패시터에 저장된다. 이러한 일련의 리프레쉬 과정을 통하여 저장된 데이터가 손상없이 보존된다.

<21> DRAM이 리프레쉬 모드에 진입한 다음에, 일정한 시간간격마다 행번지를 바꿔가면서 리프레쉬 동작을 수행하기 위해서는 리프레쉬 동작용 클럭이 필요하며, 리프레쉬 동작의 기준이 되는 리프레쉬 동작용 클럭을 출력하는 것이 리프레쉬 동작용 클럭발생기이다.

<22> 도1은 종래기술에 의한 리프레쉬 동작용 클럭발생기의 블록구성도이다.

<23> 도1을 참조하여 살펴보면, 리프레쉬 동작용 클럭발생기는 리프레쉬 동작을 수행하기 위한 블록(30)으로 리프레쉬 동작용 클럭을 생성하여 출력하는 클럭생성부(20)와, 클럭생성부(20)에서 출력되는 리프레쉬 동작용 클럭의 주파수를 결정하기 위한 바이어스 전압( $V_{bp}$ ,  $V_{bn}$ )을 생성하여 클럭생성부(20)로 출력하는 바이어스 전압생성부(10)를 구비한다.

<24> 도2는 도1에 도시된 리프레쉬 동작용 클럭발생기의 회로도이다.

- <25> 도2를 참조하여 살펴보면, 바이어스 전압생성부(10)는 전원전압(VDD)에 소스단이 접속되고, 게이트단과 드레인단이 연결되어, 드레인단으로 제1 바이어스 전압(Vbn)을 출력하는 피모스트랜지스터(MP1)와, 피모스트랜지스터(MP1)의 드레인단과 일측이 접속된 저항(R)과, 저항(R)의 타측과 접지전압(VSS)을 드레인단과 소스단이 각각 접속되고 게이트단과 드레인단이 연결되어, 드레인단으로 제2 바이어스 전압(Vbn)을 출력하는 앤모스트랜지스터(MN1)를 구비한다.
- <26> 클럭생성부(20)는 다수의 인버터(IN1\_1, IN\_2, ..., IN\_n)가 직렬로 연결되고, 최종단의 구비된 인버터(IN\_n)의 출력은 첫번째 인버터(IN\_1)의 입력으로 연결되는 링발진기 형태로 구성된다.
- <27> 각각의 인버터(예컨대 IN1)는 제1 바이어스 전압(Vbp)을 게이트단으로 입력받아 전원전압(VDD)로부터 일정한 전류를 제공하는 피모스트랜지스터(MP2)와, 접지전압(VSS)으로 일정한 전류를 흐르게 하는 앤모스트랜지스터(MN3)를 구비하고 있다. 또한 리프레쉬 동작용 클럭은 최종단에 구비된 인버터(IN\_n)에서 리프레쉬 동작을 수행하기 위한 블럭(30)으로 출력된다.
- <28> 도3은 도2에 도시된 바이어스 전압생성부(10)에서 온도에 대한 기준전류 특성을 나타내는 그래프이고, 도4는 도2에 도시된 클럭생성부(20)의 온도에 대한 리프레쉬 동작용 클럭의 주파수 특성을 나타내는 그래프이고, 도5는 도2에 도시된 리프레쉬 동작용 클럭 발생기에서 출력되는 리프레쉬 동작용 클럭으로 리프레쉬 동작을 수행할 때의 온도에 대한 리프레쉬 주기 특성을 나타내는 그래프이다.
- <29> 이하에서는 도1 내지 도5를 참조하여 종래기술에 의한 리프레쉬 동작용 클럭발생기의 동작을 살펴본다.



<30> 먼저 전원전압(VDD)과 접지전압(VSS)이 제공되면, 바이어스 전압생성부(10)의 피모스트랜지스터(MP1)와 앤모스트랜지스터(MN1)가 턴온되어 저항(R)을 통해 일정한 기준전류(Iref1)가 전원전압(VDD)에서 접지전압(VSS)방향으로 흐르게 된다. 일정한 기준전류(Iref1)가 저항(R)을 통해 흐르게 되면, 피모스트랜지스터(MP1)와 앤모스트랜지스터(MN1)의 게이트단에 제1 및 제2 바이어스 전압(Vbp, Vbn)이 각각 인가되어 클럭생성부(20)로 출력하게 된다.

<31> 이어서, 일정한 전압레벨로 입력되는 제1 및 제2 바이어스전압(Vbp, Vbn)에 의해 클럭생성부(20)를 구성하는 다수의 인버터(IN1, IN2, ..., IN\_n)가 인에이블 상태가 되어 리프레쉬 동작용 클럭을 생성하여 출력하게 된다. 클럭생성부(20)에서 클럭이 생성되는 동작은 통상적인 링발진기에서의 클럭이 생성되는 동작이므로 구체적인 과정 설명은 생략한다.

<32> 여기서 리프레쉬 동작용 클럭의 주파수는 바이어스 전압생성부(10)에서 출력되는 제1 및 제2 바이어스 전압(Vbp, Vbn)의 전압레벨로 정해지며, 제1 및 제2 바이어스 전압(Vbp, Vbn)의 전압레벨이 높아질수록 리프레쉬 동작용 클럭의 주파수는 증가하고, 제1 및 제2 바이어스 전압(Vbp, Vbn)의 전압레벨이 낮아질수록 리프레쉬 동작용 클럭의 주파수는 낮아지게 된다. 이는 클럭생성부(20)를 구성하는 다수의 인버터(IN1, IN2, ..., IN\_n)를 통해 각각 흐르게 되는 전류량이 제1 및 제2 바이어스 전압(Vbp, Vbn) 레벨에 의해 정해지기 때문이다.

<33> 한편, DRAM의 캐패시터에 저장된 전하는 온도에 따라 소모되는 정도가 다르기 때문에, 리프레쉬 동작을 수행하는 주기도 온도에 따라 다르게 하여야 한다. 즉, 캐패시터에 저장된 전하가 소진되는 과정이 온도와 밀접한 관련성이 있는데, 온도가 높을 때는 소

모되는 양이 증가하게 되어 데이터가 단기간에 소진되고, 낮은 온도에서는 상대적으로 소모되는 양이 감소하여 데이터가 장기간 유지된다.

<34> 따라서 고온에서는 리프레쉬 주기를 작게 하여 자주 리프레쉬 동작을 하여야 하고, 저온에서는 리프레쉬 주기를 크게 하여 상대적으로 리프레쉬 동작 횟수를 줄여도 되는 것이다.

<35> 전술한 바이어스 전압생성부(10)에 구비된 저항은 특성상 고온에서는 높은 값을 가지게 되고, 저온에서는 낮은 값을 가지게 된다. 따라서 바이어스 전압생성부(10)에 흐르는 기준전류( $I_{ref1}$ )는 도3에 도시하였듯이 온도에 반비례하는 특성을 가지게 되고, 이로 인해 바이어스 전압생성부(10)에서 출력하는 제1 및 제2 바이어스 전압( $V_{bp}, V_{bn}$ )도 온도에 반비례하는 특성을 가지게 된다.

<36> 제1 및 제2 바이어스 전압( $V_{bp}, V_{bn}$ )이 온도에 반비례하는 특성을 가지게 됨에 따라 클럭생성부(20)에서 출력되는 리프레쉬 동작용 클럭의 주파수도 온도에 반비례하는 특성을 가지게 된다. 이에 대해서 도4에 도시되어 있다.

<37> 전술한 바와 같이 리프레쉬 동작의 주기는 고온에서는 작게해야 하고, 저온에서는 상대적으로 크게 해야 한다. 즉, 리프레쉬 동작의 주기는 온도에 반비례되도록 하는 것이 전류소모 측면등에서 이상적인 것이다. 따라서 리프레쉬 동작의 주기를 결정하게 되는 리프레쉬 동작용 클럭의 주파수는 클럭생성부(20)에서 온도에 비례하여 출력되어야 온도에 대하여 이상적인 상태로 리프레쉬 동작이 수행될 수 있는 것이다.

<38> 그러나, 종래기술에 의한 리프레쉬 동작용 클럭발생기는 리프레쉬 동작용 클럭의 주파수가 온도에 반비례하도록 되어 있고, 이로 인해 리프레쉬 동작 주기가 온도에 비례

하여 동작된다. 도5를 참조하여 살펴보면, 이상적인 리프레쉬 주기는 온도에 반비례하여야 하는데, 종래기술의 리프레쉬 동작용 클럭발생기를 이용하게 되면 리프레쉬 주기는 온도에 비례하도록 되어 있게 된다.

<39> 따라서 종래기술에 의한 리프레쉬 동작용 클럭발생기에서 출력되는 클럭을 이용하여 고온에서 요구되는 리프레쉬 주기가 만족되도록 DRAM을 설계하게 되면, 저온에서는 필요이상으로 많은 리프레쉬 동작을 하게 되어 전류소모가 크게 증가되는 문제점이 생긴다.

#### 【발명이 이루고자 하는 기술적 과제】

<40> 본 발명은 상기의 문제점을 해결하기 위해 제안된 것으로 온도의 변화에 따라 리프레쉬 동작 주기를 최적으로 조절할 수 있는 리프레쉬 동작용 클럭을 출력하는 리프레쉬 동작용 클럭발생기를 제공하는 것을 목적으로 한다.

#### 【발명의 구성 및 작용】

<41> 상기의 목적을 달성하기 위해 본 발명은 온도에 비례하는 바이어스 전압을 출력하기 위한 바이어스 전압생성수단; 및 상기 바이어스 전압 레벨에 클럭 주파수가 비례하는 리프레쉬 동작용 클럭을 출력하기 위한 클럭생성수단을 구비하는 리프레쉬 동작용 클럭발생기를 제공한다.

- <42> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <43> 먼저, 도6은 본 발명의 사상에 따라 구성된 리프레쉬 동작용 클럭발생기의 블럭도이다.
- <44> 도6을 참조하여 살펴보면, 본 발명에 따른 리프레쉬 동작용 클럭발생기는 온도에 비례하는 바이어스 전압( $V_p, V_n$ )을 출력하기 위한 바이어스 전압생성부(1000)와, 바이어스 전압( $V_p, V_n$ ) 레벨에 클럭 주파수가 비례하는 리프레쉬 동작용 클럭을 출력하기 위한 클럭생성부(500)를 구비한다.
- <45> 또한 바이어스 전압생성부(1000)는 온도에 비례하는 제1 전류( $I_p$ )를 출력하기 위한 온도비례 전류생성부(100)와, 온도에 반비례하는 제2 전류( $I_n$ )를 출력하기 위한 온도반비례 전류생성부(200)와, 제1 전류( $I_p$ )에서 제2 전류( $I_n$ )를 뺀 차이만큼의 전류량에 대응하는 바이어스 전압( $V_p, V_n$ )을 출력하기 위한 바이어스 전압출력부(300)을 구비한다.
- <46> 또한 바이어스 전압생성부는 제1 전류( $I_p$ )에 대응하는 보조 바이어스 전압( $V_{p2}, V_{n2}$ )을 출력하기 위한 보조 바이어스 전압출력부(400)를 더 구비한다.
- <47> 클럭생성부(500)에서는 바이어스 전압( $V_p, V_n$ ) 레벨에 대응하는 제1 동작전류와, 보조 바이어스 전압( $V_{p2}, V_{n2}$ ) 레벨에 대응하는 제2 동작전류를 내부적으로 생성하고, 상기 제1 및 제2 동작전류에 클럭 주파수가 비례하는 리프레쉬 동작용 클럭을 출력하게 된다

- <48> 도7은 도6에 도시된 바이어스 전압생성부의 바람직한 일실시예에 따른 회로도이다. 설명의 편의상 도6에 도시된 도면부호를 도7에도 같게 표시하였다.
- <49> 도7을 참조하여 살펴보면, 바이어스 전압출력부(300)는 제2 전류( $I_n$ )를 미러링하여 제3 전류( $I_{n'}$ )를 흐르게 하기 위한 제1 전류미러(310)와, 제1 전류( $I_p$ )에서 제3 전류( $I_{n'}$ )를 뺀 제4 전류( $I_{sub}$ )를 미러링한 제5 전류( $I_{sub'}$ )를 흐르게 하기 위한 모스트랜지스터(MN7, MN8)를 구비하는 제2 전류미러(320)와, 제2 전류미러(320)에 제5 전류( $I_{sub'}$ )를 흐르게 하기 위해 전원전압(VDD)에 다이오드 접속된 모스트랜지스터(MP8)를 구비한다. 또한 제5 전류( $I_{sub'} = \alpha \times (I_p - I_{n'})$ )는 제4 전류( $I_{sub}$ )를  $\alpha$  배 만큼 곱하여 미러링되도록 한다.
- <50> 제1 전류미러(310)는 게이트와 일측으로 제1 전류( $I_n$ )을 입력받고, 타측은 접지전압(VSS)과 연결되어 다이오드 접속된 앤모스트랜지스터(MN5)와, 앤모스트랜지스터(MN5)의 게이트단에 게이트단이 연결되어, 제2 전류( $I_n$ )를 미러링한 제3 전류( $I_{n'}$ )를 접지전압(VSS)으로 흘려주기 위한 앤모스트랜지스터(MN6)를 구비한다.
- <51> 제2 전류미러(320)는 제1 전류( $I_p$ )에서 제3 전류( $I_{n'}$ )를 뺀 제4 전류( $I_{sub}$ )를 게이트와 일측단으로 입력받고 타측은 접지전압(VSS)과 연결되어 다이오드 접속된 앤모스트랜지스터(MN7)과, 앤모스트랜지스터(MN7)의 게이트단에 게이트단이 연결되어, 제4 전류( $I_{sub}$ )를 미러링한 제5 전류( $I_{sub'}$ )를 접지전압(VSS)으로 흘려주기 위한 앤모스트랜지스터(MN8)를 구비한다.
- <52> 여기서 다이오드 접속된 모스트랜지스터(MP8)의 게이트단에서 제1 바이어스 전압( $V_p$ )이 출력되고, 제2 전류미러(320)를 구성하는 모스트랜지스터(MN7, MN8)의 게이트단에서 제2 바이어스 전압( $V_n$ )이 출력된다.

<53> 또한, 온도비례 전류생성부(100)는 전원전압(VDD)에 일측이 연결되며, 게이트단과 타측이 연결되어 다이오드 접속된 피모스트랜지스터(MP2)와, 전원전압(VDD)에 일측이 연결되며, 게이트단이 피모스트랜지스터(MP2)의 게이트단에 연결되어 상기 피모스트랜지스터(MP2)와 전류미러를 형성하는 피모스트랜지스터(MP1)와, 피모스트랜지스터(MP1)의 타측에 일측과 게이트단이 연결되어 다이오드 접속된 앤모스트랜지스터(MN1)와, 피모스트랜지스터(MP2)의 타측에 일측이 연결되며, 앤모스트랜지스터(MN1)의 게이트단에 게이트단이 연결되어 앤모스트랜지스터(MN1)와 전류미러를 형성하는 앤모스트랜지스터(MN2)와, 앤모스트랜지스터(MN1)의 타측에 플러스단자가 연결되고, 접지전압(VSS)에 마이너스 단자가 연결된 다이오드(D1)와, 앤모스트랜지스터(MN2)의 타측에 일측이 연결된 저항(Rp)과, 저항(Rp)의 타측에 플러스단자가 연결되고, 접지전압(VSS)에 마이너스 단자가 연결된 다이오드(D2)와, 전원전압(VDD)에 일측이 연결되고 게이트단이 피모스트랜지스터(MP2)의 게이트단에 연결되어 피모스트랜지스터(MP2)와 전류미러를 형성하는 피모스트랜지스터(MP3)를 구비한다. 여기서 피모스트랜지스터(MP3)에 의해 미러링된 전류가 전술한 제1 전류( $I_p$ )가 된다.

<54> 전술한 다이오드(D1,D2)는 통상적인 PN접합 다이오드이면 되고, 여기서는 바이폴라 트랜지스터의 베이스단과 콜렉터단을 접합시켜 형성시켰다.

<55> 온도반비례 전류생성부(200)는 전원전압(VDD)에 일측이 연결되며 게이트단과 타측이 연결되어 다이오드접속된 피모스트랜지스터(MP6)와, 전원전압(VDD)에 일측이 연결되며 게이트단이 피모스트랜지스터(MP6)의 게이트단에 연결되어 피모스트랜지스터(MP6)와 전류미러를 형성하는 피모스트랜지스터(MP5)와, 피모스트랜지스터(MP5)의 타측에 일측과 게이트단이 연결되어, 다이오드 접속된 앤모스트랜지스터(MN3)와, 피모스트랜지스터

(MP6)의 타측에 일측이 연결되며, 앤모스트랜지스터(MN3)의 게이트단에 게이트단이 연결되어 앤모스트랜지스터(MN3)와 전류미러를 형성하는 앤모스트랜지스터(MN4)와, 앤모스트랜지스터(MN3)의 타측에 플러스단자가 연결되고, 접지전압(VSS)에 마이너스 단자가 연결된 다이오드(D3)와, 앤모스트랜지스터(MN4)의 타측과 접지전원(VSS)을 연결하는 저항( $R_n$ )과, 전원전압(VDD)에 일측이 연결되고 게이트단이 피모스트랜지스터(MP6)의 게이트단에 연결되어 피모스트랜지스터(MP6)와 전류미러를 형성하는 피모스트랜지스터(MP7)를 구비한다. 여기서 피모스트랜지스터(MP7)에 의해 미러링된 전류가 전술한 제2 전류( $I_n$ )가 된다.

<56> 전술한 다이오드(D3)는 통상적인 PN 접합 다이오드이면 되고, 여기서는 바이폴라 트랜지스터의 베이스단과 콜렉터단을 접합시켜 형성시켰다.

<57> 보조바이어스 전압출력부(400)은 전원전압(VDD)에 일측이 연결되고 게이트단이 피모스트랜지스터(MP2)의 게이트단에 연결되어 피모스트랜지스터(MP2)와 전류미러를 형성하는 피모스트랜지스터(MP4)와, 피모스트랜지스터(MP4)에 의해 미러링된 제6 전류( $I_{p'}$ )를 미러링한 제7 전류( $\beta \times I_{p'}$ )를 흐르게 하기 위한 모스트랜지스터(MN9, MN10)를 구비하는 제3 전류미러(410)와, 제3 전류미러(410)에 제7 전류( $\beta \times I_{p'}$ )를 흐르게 하기 위해 전원전압(VDD)에 다이오드 접속된 모스트랜지스터(MP9)를 구비한다. 제7 전류( $\beta \times I_{p'}$ )는 제6 전류( $I_{p'}$ )를  $\beta$ 배 만큼 곱하여 미러링되도록 한다.

<58> 제3 전류미러(410)는 게이트와 일측으로 제6 전류( $I_{p'}$ )을 입력받고, 타측은 접지전압(VSS)과 연결되어 다이오드 접속된 앤모스트랜지스터(MN9)와, 앤모스트랜지스터(MN9)의 게이트단에 게이트단이 연결되어, 제6 전류( $I_{p'}$ )를 미러링한 제7 전류( $\beta \times I_{p'}$ )를 접지전압(VSS)으로 흘려주기 위한 앤모스트랜지스터(MN10)를 구비한다.

- <59> 여기서 다이오드 접속된 모스트랜지스터(MP9)의 게이트단에서 제1 보조바이어스 전압( $V_{p2}$ )이 출력되고, 제3 전류미러(410)를 구성하는 모스트랜지스터(MN9, MN10)의 게이트단에서 제2 보조바이어스 전압( $V_{n2}$ )이 출력된다.
- <60> 도8은 도6에 도시된 클럭생성부(500)의 바람직한 일실시예에 따른 회로도이다.
- <61> 도8을 참조하여 살펴보면, 클럭생성부(500)는 제1 및 제2 바이어스 전압( $V_p, V_p$ )과 제1 및 제2 보조 바이어스 전압( $V_{p2}, V_{p2}$ )에 의해서 동작 전류가 정해지는 다수의 인버터( $IN1_1, IN_2, \dots, IN_n$ )가 직렬로 연결되고, 최종단의 구비된 인버터( $IN_n$ )의 출력은 첫번째 인버터( $IN_1$ )의 입력으로 연결되는 링발진기 형태로 구성된다.
- <62> 각각의 인버터(예컨대  $IN1$ )는 통상적인 인버터 동작을 위한 모스트랜지스터(MP10, MN11)와, 제1 바이어스 전압( $V_p$ )를 게이트단으로 입력받아 전원전압(VDD)로부터 일정한 제1 동작전류( $I_{sub}' = \alpha \times I_{p-in}'$ )를 제공하여 정전류원 역할을 하는 피모스트랜지스터(MP13)와, 제1 보조바이어스 전압( $V_{p2}$ )를 게이트단으로 입력받아 전원전압(VDD)로부터 일정한 제2 동작전류( $\beta \times I_{p'}$ )를 제공하여 정전류원 역할을 하는 피모스트랜지스터(MP16)와, 제2 바이어스 전압( $V_n$ )을 게이트단으로 입력받아 접지전압(VSS)으로 일정한 제1 동작전류( $I_{sub}' = \alpha \times I_{p-in}'$ )를 흐르게 하여 정전류원 역할을 하는 앤모스트랜지스터(MN14)와, 제2 보조 바이어스 전압( $V_{n2}$ )을 게이트로 입력받아 접지전압(VSS)으로 일정한 제2 동작전류( $\beta \times I_{p'}$ )를 흐르게 하여 정전류원 역할을 하는 앤모스트랜지스터(MN17)를 추가로 구비하고 있다.
- <63> 리프레쉬 동작용 클럭은 최종단에 구비된 인버터( $IN_n$ )에서 리프레쉬 동작을 수행하기 위한 블럭(미도시)으로 출력된다.



- <64> 이하에서는 도6 내지 도8을 참조하여 전술한 실시예에 따른 리프레쉬 동작용 클럭 발진기의 동작을 설명한다.
- <65> 먼저, 바이어스 전압생성부(1000)를 구성하는 온도비례 전류생성부(100)의 동작에 대해서 살펴본다.
- <66> 전원전압(VDD)이 리프레쉬 동작용 클럭발생기의 바이어스 전압생성부(1000)에 인가 되면, 온도비례 전류생성부(100)의 피모스트랜지스터(MP2,MP1)가 턴온되고, 이어서 앤모스트랜지스터(MN1,MN2)가 턴온되어, 피모스트랜지스터(MP1)와 앤모스트랜지스터(MN1)를 통하여 제1 전류( $I_p$ )가 흐르게 된다. 이 때 피모스트랜지스터(MP2)와 피모스트랜지스터(MP1)와 피모스트랜지스터(MP3) W/L(Width/length)비를 1:1:1로 하고, 앤모스트랜지스터(MN1)와 앤모스트랜지스터(MP2)는 W/L 비도 1:1로 한다.
- <67> 바이폴라트랜지스터의 에미터와 베이스단을 접합시켜 생성한 다이오드(D1,D2) 양단 간에 제1 전류( $I_p$ )에 의해 인가되는 전압은 각각 'Vbe1'과, 'Vbe2'로 표기하기로 한다. 따라서 Vbe1은 수학식1과 같이 표기되고,  $I_p$ 는 수학식 2와 같이 표기된다.
- <68> 【수학식 1】  $V_{be1} = V_{be2} + I_p \times R_p$
- <69> 【수학식 2】  $I_p = 1/R_p \times (V_{be1} - V_{be2})$
- <70> 한편, 바이폴라트랜지스터의 베이스단과 콜렉터단을 연결하여 형성한 다이오드 (D1,D2) 양단간의 전압, 즉 베이스단과 에미터단 사이의 전압은 수학식3과 같이 나타낼 수 있다.
- <71> 【수학식 3】  $V_{be1} = V_T \times \ln(I/I_{s1})$ ,  $V_{be2} = V_T \times \ln(I/I_{s2})$
- <72> ( $I_{s1}, I_{s2}$ :포화전류, I: 콜렉터단에서 에미터단으로 흐르는 전류)

<73> 여기서 포화전류 ' $I_s$ '는 에미터단자와 콜렉터단자간에 역방향 바이어스 전압이 열전합( $V_T$ )의 수배 이상으로 인가되면 콜렉터단자에서 에미터단자로 흐르게 되는 전류이다. 참고적으로 역방향 바이어스란 NPN형 바이폴라트랜지스터에서 콜렉터단자와 베이스단자가 연결되어 다이오드접속된 상태에서 콜렉터단자에 음의 전압이 인가되고, 에미터단자에 양의 전압이 인가되는 상태를 말한다.

<74> 따라서, 수식식3에 따라 수식식2를 치환하게 되면 수식식4의 형태가 된다.

<75> 【수학식 4】  $I_p = V_T/R_p [\ln(I/I_{s1}) - \ln(I/I_{s2})] = V_T/R_p [\ln(I_{s2}/I_{s1})]$

<76>  $V_T$ 는  $kT/q$ ( $k$ :볼츠만 상수,  $T$ :온도,  $q$ :전자 전하량)이므로, 이를 수식식4에 대입시키면 수식식5가 된다.

<77> 【수학식 5】  $I_p = kT/q \times 1/R_p \times n(I_{s2}/I_{s1})$

<78> 수식식 5를 온도에 대하여 편미분을 하게 되면, 수식식 6과 같이 된다.

<79> 【수학식 6】  $\partial I_p / \partial T \approx k/q \times 1/R_p \times n(I_{s2}/I_{s1})$

<80>  $\approx + 0.087\text{mV}/^\circ\text{C} \times 1/R_p \times n(I_{s2}/I_{s1})$

<81> 따라서 수식식6에서 보는 바와 같이 온도비례 전류 생성회로(100)의  $I_p$  전류는 온도가 증가할수록 증가되는 특성을 가지고 있다.

<82> 이어서, 바이어스 전압생성부(1000)를 구성하는 온도반비례 전류생성부(200)의 동작에 대해서 살펴본다. 전원전압( $V_{DD}$ )이 리프레쉬 동작용 클럭생성부에 인가되면, 온도반비례 전류생성부(200)의 피모스트랜지스터(MP5,MP6)가 턴온되고, 이어서 앤모스트랜지스터(MN3,MN4)가 턴온되어, 피모스트랜지스터(MP5)와 앤모스트랜지스터(MN3)를 통하여

제2 전류( $I_n$ )가 흐르게 된다. 이 때 피모스트랜지스터(MP5)와 피모스트랜지스터(MP6)와 피모스트랜지스터(MP7)의 W/L 비를 1:1:1로 하고, 앤모스트랜지스터(MN3)와 앤모스트랜지스터(MN4)의 W/L 비를 1:1로 한다.

<83> 여기서도 다이오드(D3)는 바이폴라트랜지스터의 에미터와 베이스단을 접합시켜 형성하고, 다이오드 양단간에 제2 전류( $I_n$ )에 의해 인가되는 전압은 ' $V_{be3}$ '로 표기한다. 따라서 제2 전류( $I_n$ )은 수학식7과 같이 표기된다.

<84> 【수학식 7】  $V_{be3} = I_n \times R_n \Rightarrow I_n = V_{be3} / R_n$

<85> 수학식7를 온도에 대해 편미분하게 되면 수학식 8과 같이 된다.

<86> 【수학식 8】  $\partial I_n / \partial T = (\partial V_{be3} / \partial T) \times 1/R_n + V_{be3} \times (\partial R_n / \partial T \times 1/R_n^2)$

<87>  $\approx (\partial V_{be3} / \partial T) \times 1/R_n$

<88> 여기서 온도에 대한 저항의 변화는  $V_{be3}$ 의 변화에 대해 상대적으로 작아서  $|(\partial V_{be3} / \partial T) \times 1/R_n| \gg |V_{be3} \times \partial R_n / \partial T \times 1/R_n^2|$ 의 조건이 성립되고, 따라서  $V_{be3} \times \partial R_n / \partial T \times 1/R_n^2$ 은 생략하였다.

<89> 한편,  $V_{be}$ 값의 온도에 대한 편미분값은 수학식9와 같이 나타낼 수 있다.

<90> 【수학식 9】  $\partial V_{be} / \partial T \approx -1.62\text{mV}/^\circ\text{C}$  ( $T = 27^\circ\text{C}$ 에서의 값)

<91> 수학식9를 수학식8에 대입하게 되면 수학식 10과 같이 된다.

<92> 【수학식 10】  $\partial I_n / \partial T \approx -1.62\text{mV}/^\circ\text{C} \times 1/R_n$

<93> 따라서 수학식10에서 보는 바와 같이 온도반비례 전류생성부(200)의 제2 전류( $I_n$ )는 온도가 증가할수록 감소되는 특성을 가지고 있다.

- <94> 이어서 바이어스 전압출력부(300)의 동작을 살펴본다.
- <95> 먼저, 바이어스 전압출력부(300)의 제1 전류미러(310)는 온도반비례 전류생성부(200)에서 출력되는 제2 전류( $I_n$ )와 같은 크기의 제3 전류( $I_n'$ )를 미러링하여 접지전압(VSS)으로 흐르게 한다. 여기서 제1 전류미러(310)를 구성하는 앤모스트랜지스터(MN5, MN6)의 W/L 비를 1:1로 한다.
- <96> 이어서 바이어스 전압출력부(300)의 제2 전류미러(320)는 온도비례 전류생성부(100)에서 출력되는 제1 전류( $I_p$ )에서 제3 전류( $I_n'$ )를 뺀 제4 전류( $I_{sub}=I_p-I_n'$ )를 미러링한 제5 전류( $I_{sub}'$ )를 접지전압(VSS)으로 흐르게 한다. 여기서 제2 전류미러(320)를 구성하는 앤모스트랜지스터(MN7)와 앤모스트랜지스터(MN8)의 W/L비를 1: $\alpha$ 로 하여 제5 전류( $I_{sub}'$ )는 제4전류( $I_{sub}$ )보다  $\alpha$ 배 많은 전류량이 미러링되게 한다.
- <97> 피모스트랜지스터(MP8)와 앤모스트랜지스터(MN8)를 통해 제5 전류( $I_{sub}'$ )가 흐르게 되면, 피모스트랜지스터(MP8)의 게이트 및 드레인단으로 제1 바이어스전압( $V_p$ )이 인가되고, 앤모스트랜지스터(MN8)의 게이트단에 제2 바이어스 전압( $V_n$ )이 인가된다.
- <98> 여기서 제1 전류( $I_p$ )는 온도에 비례하여 증가하고, 제2 전류( $I_n$ ) 및 제3 전류( $I_n'$ )는 온도에 비례하여 감소하기 때문에, 제1 전류( $I_p$ )에서 제3 전류( $I_n'$ )를 뺀 전류인 제4 전류( $I_{sub}$ )도 온도에 비례하여 증가하게 된다. 따라서 제4 전류( $I_{sub}$ )를  $\alpha$ 배하여 미러링한 제5 전류( $I_{sub}'$ )도 온도에 비례하여 증가하게 되고, 이로 인해 제1 및 제2 바이어스 전압( $V_p, V_n$ )은 온도에 비례하는 특성을 가지게 된다.
- <99> 한편, 보조바이어스 전압출력부(400)의 피모스트랜지스터(MP4)는 제1 전류( $I_p$ )를 미러링한 제6 전류( $I_p'$ )를 흐르게 하고, 제3 전류미러(410)는 제6 전류( $I_p'$ )를 입력받아

미러링한 제7 전류( $\beta \times I_p'$ )를 흐르게 한다. 여기서 제3 전류미러(410)를 구성하는 앤모스트랜지스터(MN9)와 앤모스트랜지스터(MN10)의 W/L비를  $1:\beta$ 로 하여 제7 전류( $\beta \times I_p'$ )는 제6 전류( $I_p'$ )보다  $\beta$ 배 많은 전류량이 미러링되게 한다.

<100>      피모스트랜지스터(MP9)와 앤모스트랜지스터(MN10)를 통해 제7 전류( $\beta \times I_p'$ )가 흐르게 되면, 피모스트랜지스터(MP9)의 게이트 및 드레인단으로 제1 보조바이어스전압( $V_{p2}$ )이 인가되고, 앤모스트랜지스터(MN10)의 게이트단에 제2 보조바이어스 전압( $V_{n2}$ )이 인가된다.

<101>      여기서 제1 전류( $I_p$ )는 온도에 비례하여 증가하고, 이를 미러링한 제6 전류( $I_p'$ ) 역시 온도에 비례하여 증가하게 된다. 따라서 제6 전류( $I_p'$ )를 미러링한 제7 전류( $\beta \times I_p'$ )도 온도에 비례하여 증가하게 되며, 이로 인해 제1 및 제2 보조 바이어스 전압( $V_{p2}, V_{n2}$ )는 온도에 비례하는 특성을 가지게 된다.

<102>      이어서, 클럭생성부(500)의 동작을 살펴본다.

<103>      도8에 도시된 클럭생성부(500)는 다수의 인버터( $IN_1, IN_2, \dots, IN_n$ )를 구비하는 통상적인 링발진기로서, 클럭이 생성되는 동작은 통상적인 링발진기의 동작과 같으므로 이를 생략한다. 이어서는 본 실시예의 특징적인 부분인, 인버터의 동작전류에 대해서 설명한다.

<104>      하나의 인버터(예컨대  $IN_1$ )는 동작전류를 정해주는 정전류원역할을 하는 2개의 피모스트랜지스터(예컨대 MP13, MP16)와, 2개의 앤모스트랜지스터(예컨대 MN14, MN17)를 각각 구비하고 있다. 클럭생성부(500)에 구비되는 모든 인버터( $IN_1, IN_2, \dots, IN_n$ )의 동작은 동일하므로, 하나의 인버터에 흐르는 동작전류에 대해서만 설명한다.

- <105> 예를 들어 인버터(IN1)의 동작을 살펴보면, 피모스트랜지스터(MN13)은 제1 바이어스 전압( $V_p$ )를 입력받아  $\alpha \times I_{sub}$  만큼의 전류량을 전원접압(VDD)으로부터 피모스트랜지스터(MP10)로 흐르게 하고, 앤모스트랜지스터(MN14)는 게이트로 제2 바이어스 전압( $V_n$ )을 앤모스트랜지스터(MN11)로부터 접지전압(VSS)으로  $\alpha \times I_{sub}$  만큼의 전류량을 흐르게 한다.
- <106> 또한 피모스트랜지스터(MN16)은 제1 보조바이어스 전압( $V_{p2}$ )를 입력받아  $\beta \times I_{p'}$  만큼의 전류량을 전원접압(VDD)으로부터 피모스트랜지스터(MP10)로 흐르게 하고, 앤모스트랜지스터(MN17)는 게이트로 제2 보조바이어스 전압( $V_{n2}$ )을 입력받아 앤모스트랜지스터(MN11)로부터 접지전압(VSS)으로  $\beta \times I_{p'}$ 만큼의 전류량을 흐르게 한다. 또한 모스트랜지스터(MP10, MN11)는 인버터의 인버팅 동작을 위한 것이다.
- <107> 결국 인버터(IN1)의 동작전류는 제5 전류( $I_{sub}' = \alpha \times I_{sub}$ )와 제7 전류( $\beta \times I_{p'}$ )의 합인  $\alpha \times I_{sub} + \beta \times I_{p'}$ 가 되는데,  $\alpha \times I_{sub}$ 는 바이어스 전압출력부(300)의 제2 전류미러(320)에 흐르는 제5 전류( $I_{sub}' = \alpha \times I_{sub}$ )를 인버터(IN1)의 피모스트랜지스터(MP13)가 미러링한 전류이고,  $\beta \times I_{p'}$ 는 보조바이어스 전압출력부(400)의 제3 전류미러(410)에 흐르는 제7 전류( $\beta \times I_{p'}$ )를 인버터(IN1)의 피모스트랜지스터(MP16)가 미러링한 전류인 것이다.
- <108> 한편, 전술한 바와 같이 제1 및 제2 바이어스 전압( $V_p, V_n$ )과 제1 및 제2 보조바이어스 전압( $V_{p2}, V_{n2}$ )은 온도에 비례하는 특성을 가지고 있다.
- <109> 따라서 클럭생성부(500)를 구성하는 인버터(IN1)의 동작전류( $\alpha \times I_{sub} + \beta \times I_{p'}$ )는 온도에 비례하여 증가 하게 되고, 이로 인해서 클럭생성부(500)에서는 온도가 높아질수

록 주파수가 높은 리프레쉬 동작용 클럭을 생성하고, 온도가 낮아질수록 주파수가 낮은 리프레쉬 동작용 클럭을 생성한다.

- <110> 리프레쉬 동작용 클럭이 온도에 비례하여 주파수가 높아짐으로 해서, 상기의 리프레쉬 동작용 클럭을 이용해서 디램등의 반도체 장치에서 리프레쉬 동작을 수행하게 되면, 자주 리프레쉬 동작을 필요한 고온에서 리프레쉬 동작을 자주 수행하고, 상대적으로 리프레쉬 동작이 자주하지 않아도 되는 저온에서는 리프레쉬 동작을 적게 하게 된다.
- <111> 따라서 본 발명의 리프레쉬 동작용 클럭을 이용하게 되면, 고온에서 필요한 리프레쉬 동작용 클럭의 주파수로 고정시킴으로 해서 저온에서 불필요하게 여러번 리프레쉬 동작을 하게됨으로서 발생하는 전류소모를 획기적으로 줄일 수 있다.
- <112> 도9은 도7에 도시된 바이어스 전압생성부에 의해 생성되는 동작전류의 특성을 나타내는 그래프이다.
- <113> 도9를 참조하여 살펴보면, 온도에 비례하여 증가되는 제1 전류( $I_p$ )와, 온도에 반비례하여 증가되는 제2 전류( $I_n$ )가 도시되어 있다. 또한, 온도에 대해서 제1 전류( $I_p$ )에서 제3 전류( $I_n'$ )를 뺀 제4 전류( $I_{sub}$ )와 제4 전류( $I_{sub}$ )를  $\alpha$ 배 만큼 곱하여 미러링한 제5 전류( $\alpha \times I_{sub}$ )가 도시되어 있다.
- <114> 본 발명에서 온도에 비례하는 제1 전류( $I_p$ )와, 온도에 반비례하는 제2 전류( $I_n$ )를 생성하고, 이를 미러링한 전류를 뺀 제4 전류( $I_{sub}$ )를 이용해서 리프레쉬 동작용 클럭을 생성하는 것은 고온에서의 리프레쉬 동작용 클럭의 주파수를 크게 증가시키기 위해서이다.

- <115> 온도에 비례하는 제1 전류( $I_p$ ) 성분만을 이용해서 리프레쉬 동작용 클럭을 생성하게 되면, 온도가 높아질수록 높은 주파수를 가지는 리프레쉬 동작용 클럭을 생성할 수는 있다. 그러나 온도에 대비한 최적의 리프레쉬 동작용 클럭은 대략  $15^{\circ}\text{C}$  상승할 때마다 주파수가 2배 정도 되어야하는데, 단지 온도에 비례하는 전류( $I_p$ ) 성분은  $\alpha$  배를 곱해서 는 최적의 리프레쉬 동작용 클럭을 생성할 수 없다.
- <116> 따라서 본 발명에서는 온도에 비례하는 제1 전류( $I_p$ )와, 온도에 반비례하는 제2 전류( $I_n$ )를 추가적으로 더 생성한 다음 온도비례하는 제1 전류( $I_p$ )에서 온도에 반비례하는 제2 전류( $I_n$ )를 미러링한 제3 전류( $I_n'$ )를 뺀 전류( $I_{sub}$ )를 이용해서 바이어스 전압을 생성하는 것이다. 이 때 생성된 바이어스 전압을 이용하여 리프레쉬 동작용 클럭을 생성한다. 이렇게 생성된 리프레쉬 동작용 클럭은 온도가 상승함에 최적의 클럭 주파수를 가지게 된다.
- <117> 한편, 상기와 같이 본 발명의 리프레쉬 동작용 클럭발생기는 온도에 비례하는 전류( $I_p$ )성분에서 온도에 반비례하는 전류( $I_n$ )성분을 뺀 전류를 이용해서 바이어스 전압을 생성하게 되므로, 저온(예컨대  $0^{\circ}\text{C}$ )에서는 온도에 비례하는 제1 전류( $I_p$ )가, 제2 전류( $I_n$ )보다 작아지므로 일정정도 온도이하에서는 바이어스 전류 제4 전류( $I_{sub}$ )가 생성되지 않아서 제1 및 제2 바이어스전압( $V_p, V_n$ )이 인가되지 않는 문제점이 생긴다.
- <118> 도9에 도시된 'Tz' 포인트가 제1 전류( $I_p$ )와 제2 전류( $I_n$ )가 같아지는 지점이며, 제5 전류( $\alpha \times I_{sub}$ )의 전류곡선에서는  $0^{\circ}\text{C}$  이하에서 전류가 생성되지 않음을 알 수 있다.
- <119> 이를 보완하기 위해 본 발명에서는 저온에서도 바이어스 전압이 인가되는 보조 바이어스 전압출력부(400)를 구비하고 있다. 보조바이어스 전압출력(400)에서는 온도에 비



레하는 제1 전류( $I_p$ )만을 이용해서 제1 및 제2 보조바이어스 전압( $I_{p2}, I_{n2}$ )을 생성하게 된다.

<120> 도9에 도시된  $\alpha \times I_{sub} + \beta \times I_{p'}$ 는 제1 및 제2 바이어스 전압( $V_p, V_n$ )과 제1 및 제2 보조 바이어스 전압( $V_{p2}, V_{n2}$ )에 의해 생성되는 전류를 나타낸 것이다. 즉, 제1 및 제2 보조 바이어스 전압( $V_{p2}, V_{n2}$ )에 의해 0℃이하의 저온에서도 클럭생성기에서 리프레쉬 동작 클럭이 생성될 수 있는 것이다.

<121> 덧붙여 설명하면, 통상적인 반도체 장치의 리프레쉬 동작은 상온(약 25℃)에서 이루어지고, 0℃ 이하에서의 저온에서는 리프레쉬 동작을 하는 경우는 극히 드물다. 따라서 본 발명을 적용하는 반도체 장치의 리프레쉬 동작이 극히 저온(예컨대 0℃)인 경우가 없다면 보조바이어스 전압출력부(400)는 생략해도 된다. 이럴 경우에는 클럭생성부(400)를 구성하는 다수의 인버터(예컨대 IN1)는 전류원역할을 하는 피모스트랜지스터(MP13)와 앤모스트랜지스터(MN14)를 각각 하나만 구비하면 된다.

<122> 도10은 본 발명의 리프레쉬 동작 클럭발생기의 온도에 대한 리프레쉬 동작 클럭의 주파수 특성을 나타내는 그래프이다. 도10을 참조하여 살펴보면, 온도가 높아질수록 리프레쉬 동작 클럭의 주파수가 증가됨을 알 수 있다. 특히 제1 전류( $I_p$ )와 제2 전류( $I_n$ )가 같아지는 포인트( $T_z$ )의 온도 이상에서는 급격히 주파수가 증가됨을 알 수 있다.

<123> 도11는 본 발명의 리프레쉬 동작 클럭발생기의 온도에 대한 리프레쉬 동작의 주기를 나타내는 그래프이다.

<124> 도11을 참조하여 살펴보면, 본 발명에 의한 리프레쉬 동작용 클럭을 이용하여 리프레쉬 동작을 수행하게 되면, 온도변화에 따른 이상적인 리프레쉬 주기 곡선에 근접한 리프레쉬 주기 곡선을 얻을 수 있다. 또한 종래기술에 의한 리프레쉬 주기 곡선도 도시하였다.

<125> 본 발명에 의해 생성되는 리프레쉬 동작용 클럭은 모든 범위의 온도에서 이상적인 리프레쉬 동작에 적합한 주파수로 출력하게 되며, 특히 출력되는 리프레쉬 동작용 클럭의 주파수는 구간별로 불연속적으로 변화하는 것이 아니라 온도의 미세한 변화에도 계속해서 변화하게 된다. 따라서 전체적인 전류소모를 크게 줄일 수 있다.

<126> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 【발명의 효과】

<127> 본 발명에 의한 리프레쉬 동작용 클럭발생기에서 출력되는 리프레쉬 동작용 클럭을 이용해서 리프레쉬 동작을 하게 되면, 온도변화에 따른 최적의 리프레쉬 주기로 리프레쉬 동작을 수행할 수 있다.

<128> 또한, 리프레쉬 주기를 고온에서 상대적으로 크게 하고 저온에서 적게 함으로서 전체적인 전류소모를 크게 줄일 수 있다.

<129> 또한 본 발명의 리프레쉬 동작용 클럭은 온도의 변화에 따라서 계속 주파수가 변화하면서 최적의 주파수로 출력되므로 미세한 온도변화에도 적절한 리프레쉬 동작을 수행할 수 있어, 반도체 장치가 어떤 온도 범위에서 동작되더라도 전류소모를 크게 줄일 수 있다.

**【특허청구범위】****【청구항 1】**

온도에 비례하는 바이어스 전압을 출력하기 위한 바이어스 전압생성수단; 및  
상기 바이어스 전압 레벨에 클럭 주파수가 비례하는 리프레쉬 동작용 클럭을 출력하기 위한 클럭생성수단  
을 구비하는 리프레쉬 동작용 클럭발생기.

**【청구항 2】**

제 1 항에 있어서,  
상기 바이어스 전압생성부는  
온도에 비례하는 제1 전류를 출력하기 위한 온도비례 전류생성부;  
온도에 반비례하는 제2 전류를 출력하기 위한 온도반비례 전류생성부; 및  
상기 제1 전류에서 상기 제2 전류를 뺀 차이만큼의 전류량에 대응하는 상기 바이어스 전압을 출력하기 위한 바이어스 전압출력부를 구비하는 리프레쉬 동작용 클럭발생기.

**【청구항 3】**

제 2 항에 있어서,  
상기 제1 전류의 전류량에 전압레벨이 비례하는 보조 바이어스 전압을 출력하기 위한 보조 바이어스 전압출력부를 더 구비하고,

상기 클럭생성부는 상기 바이어스 전압 레벨에 대응하는 제1 동작전류와, 상기 보조 바이어스 전압 레벨에 대응하는 제2 동작전류를 생성하고, 상기 제1 및 제2 동작전류에 클럭 주파수가 비례하는 상기 리프레쉬 동작용 클럭을 출력하는 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

#### 【청구항 4】

제 2 항에 있어서,

상기 바이어스 전압출력부는,

상기 제2 전류를 미러링하여 제3 전류를 흐르게 하기 위한 제1 전류미러링 수단;

상기 제1 전류에서 상기 제3 전류를 뺀 제4 전류를 미러링한 제5 전류를 흐르게 하기 위한 제1 모스트랜지스터를 구비하는 제2 전류미러링 수단; 및

상기 제2 전류미러링 수단에 상기 제5 전류를 흐르게 하기 위해 전원전압과 상기 제2 전류미러링사이에 다이오드 접속된 제2 모스트랜지스터

를 구비하고, 상기 제2 모스트랜지스터의 게이트단에서 제1 바이어스 전압을 출력하고, 상기 제1 모스트랜지스터의 게이트단에서 제2 바이어스 전압을 출력하는 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

#### 【청구항 5】

제 4 항에 있어서,

상기 클럭생성부는,

상기 제1 바이어스 전압 및 상기 제2 바이어스 전압에 의해서 동작 전류가 정해지는 다수의 인버터를 구비하는 링발진기인 것을 특징으로 하는 리프레쉬 동작용 클럭발생기

#### 【청구항 6】

제 5 항에 있어서,

상기 인버터는,

전원전압에 일측이 접속되고, 게이트단이 상기 다이오드 접속된 모스트랜지스터의 게이트단에 접속되어 상기 다이오드 접속된 모스트랜지스터와 전류미러를 형성하는 제2 모스트랜지스터; 및

접지전압에 일측이 접속되고, 게이트단이 상기 제2 전류미러링 수단을 구성하는 제1 모스트랜지스터의 게이트단에 접속되어 상기 제1 모스트랜지스터와 전류미러를 형성하는 제3 모스트랜지스터를 구비하는 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

#### 【청구항 7】

제 4 항에 있어서,

상기 제5 전류는 상기 제4 전류를  $\alpha$  배 만큼 곱하여 미러링한 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

#### 【청구항 8】

제 7 항에 있어서,

상기 온도비례 전류생성부는

전원전압에 일측이 연결되며, 게이트단과 타측이 연결되어 다이오드접속된 제1 피모스트랜지스터;

상기 전원전압에 일측이 연결되며, 게이트단이 상기 제1 피모스트랜지스터의 게이트단에 연결되어 상기 제1 피모스트랜지스터와 전류미러를 형성하는 제2 피모스트랜지스터;

상기 제2 피모스트랜지스터의 타측에 일측과 게이트단이 연결되어, 다이오드 접속된 제1 앤모스트랜지스터;

상기 제1 피모스트랜지스터의 타측에 일측이 연결되며, 상기 제1 앤모스트랜지스터의 게이트단에 게이트단이 연결되어 상기 제1 앤모스트랜지스터와 전류미러를 형성하는 제2 앤모스트랜지스터;

상기 제1 앤모스트랜지스터의 타측에 플러스단자가 연결되고, 접지전압에 마이너스 단자가 연결된 제1 다이오드;

상기 제2 앤모스트랜지스터의 타측에 일측이 연결된 제1 저항;

상기 제1 저항의 타측에 플러스단자가 연결되고, 상기 접지전압에 마이너스 단자가 연결된 제2 다이오드; 및

상기 전원전압에 일측이 연결되고, 게이트단이 상기 제1 피모스트랜지스터의 게이트단에 연결되어 상기 제1 피모스트랜지스터와 전류미러를 형성하는 제3 피모스트랜지스터를 구비하고,

상기 제3 피모스트랜지스터에 의해 미러링된 전류가 상기 제1 전류인 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

**【청구항 9】**

제 8 항에 있어서,

상기 온도반비례 전류생성부는,

전원전압에 일측이 연결되며, 게이트단과 타측이 연결되어 다이오드접속된 제4 피모스트랜지스터;

상기 전원전압에 일측이 연결되며, 게이트단이 상기 제4 피모스트랜지스터의 게이트단에 연결되어 상기 제4 피모스트랜지스터와 전류미러를 형성하는 제5 피모스트랜지스터;

상기 제5 피모스트랜지스터의 타측에 일측과 게이트단이 연결되어, 다이오드 접속된 제3 앤모스트랜지스터;

상기 제4 피모스트랜지스터의 타측에 일측이 연결되며, 상기 제3 앤모스트랜지스터의 게이트단에 게이트단이 연결되어 상기 제3 앤모스트랜지스터와 전류미러를 형성하는 제4 앤모스트랜지스터;

상기 제3 앤모스트랜지스터의 타측에 플러스단자가 연결되고, 접지전압에 마이너스 단자가 연결된 제3 다이오드;

상기 제4 앤모스트랜지스터의 타측과 상기 접지전원을 연결하는 제2 저항; 및



상기 전원전압에 일측이 연결되고, 게이트단이 상기 제4 피모스트랜지스터의 게이트단에 연결되어 상기 제4 피모스트랜지스터와 전류미러를 형성하는 제6 피모스트랜지스터를 구비하고,

상기 제6 피모스트랜지스터에 의해 미러링된 전류가 상기 제2 전류인 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

#### 【청구항 10】

제 9 항에 있어서,

상기 전원전압에 일측이 연결되고, 게이트단이 상기 제1 피모스트랜지스터의 게이트단에 연결되어 상기 제1 피모스트랜지스터와 전류미러를 형성하여 상기 제1 전류를 미러링한 제6 전류를 흐르게 하기 위한 제3 피모스트랜지스터;

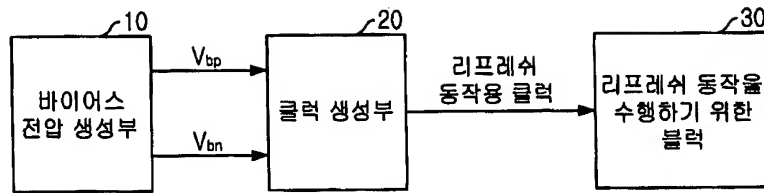
상기 제6 전류를 미러링하여 제7 전류를 흐르게 하기 위한 제3 모스트랜지스터를 구비하는 제3 전류미러링 수단; 및

상기 제3 전류미러링 수단에 상기 제7 전류를 흐르게 하기 위해 전원전압과 상기 제3 전류미러링 수단사이에 다이오드 접속된 제4 모스트랜지스터

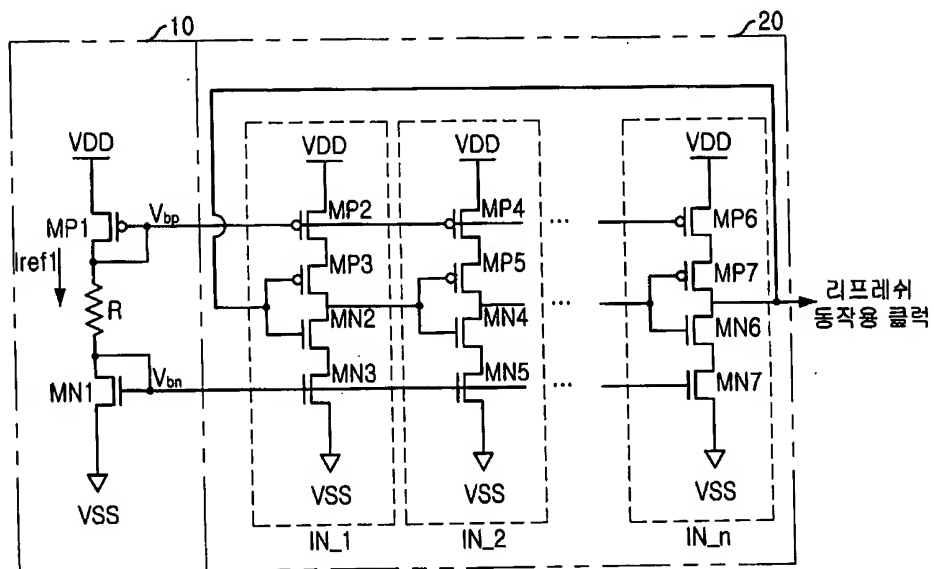
를 구비하는 보조 바이어스 전압출력부를 더 구비하고, 상기 제3 모스트랜지스터의 게이트단에서 제1 보조바이어스 전압을 출력하고, 상기 제3 모스트랜지스터의 게이트단에서 제2 보조바이어스 전압을 출력하는 것을 특징으로 하는 리프레쉬 동작용 클럭발생기.

## 【도면】

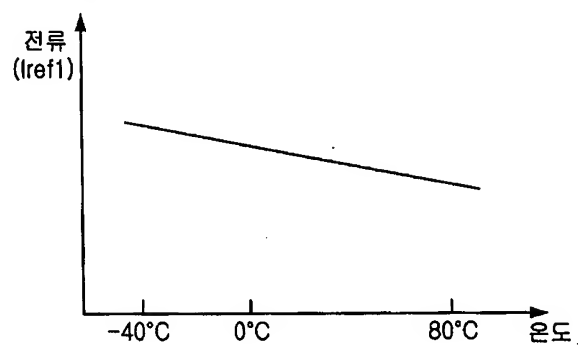
【도 1】



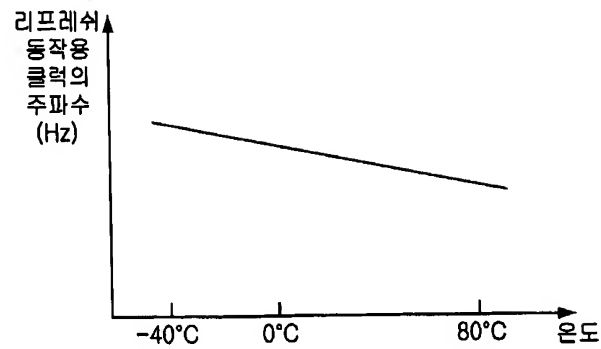
【도 2】



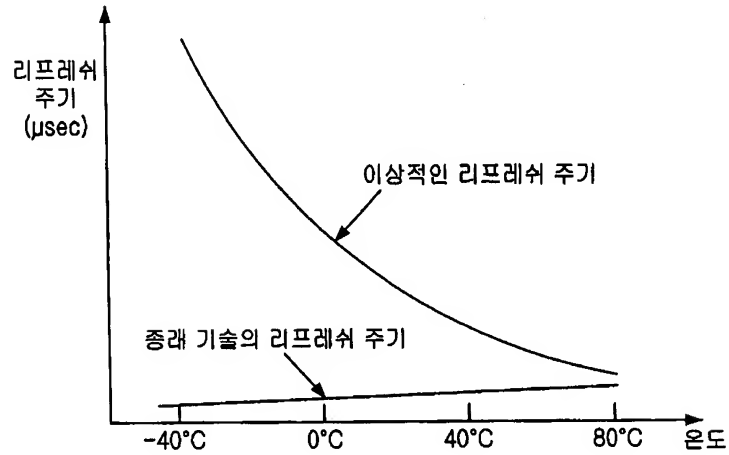
【도 3】



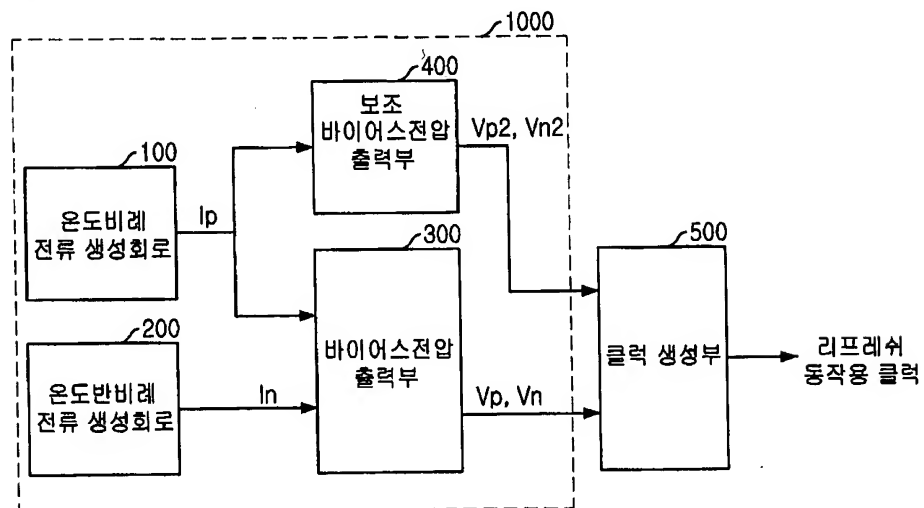
【도 4】



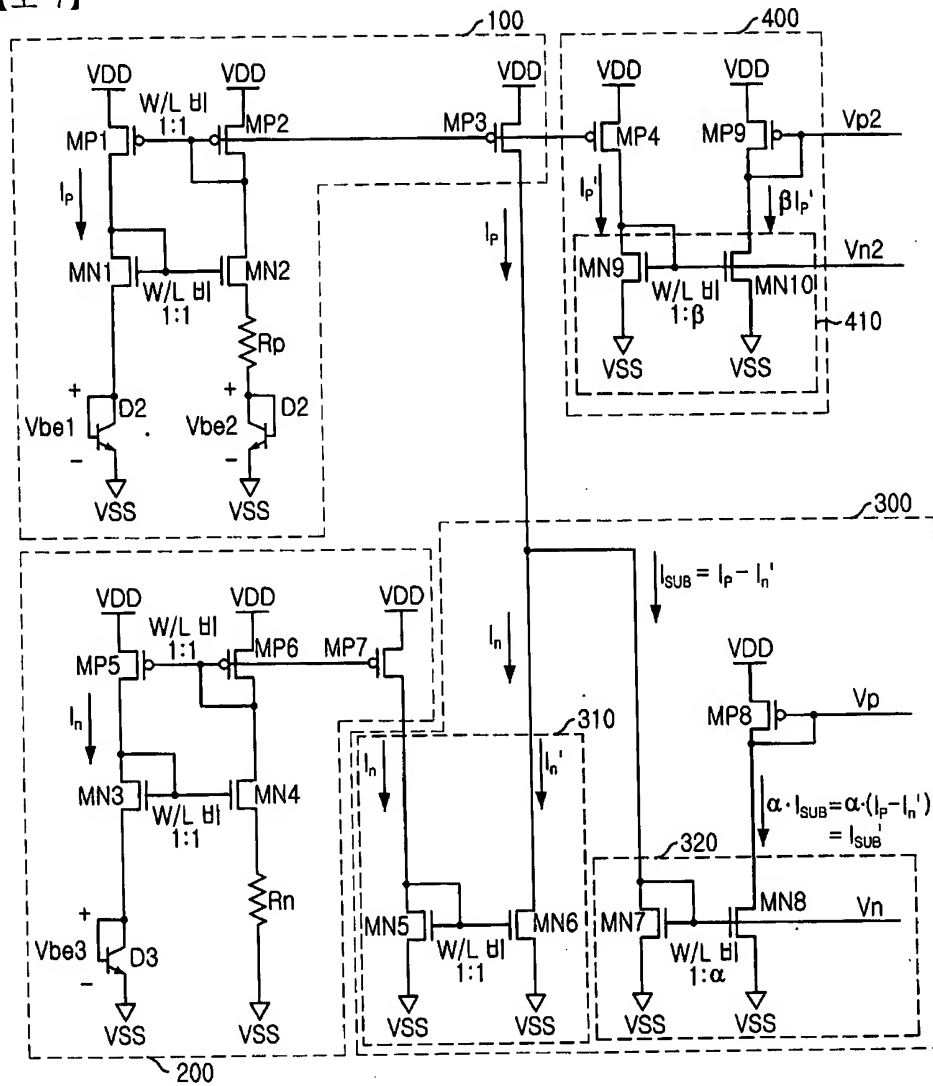
【도 5】



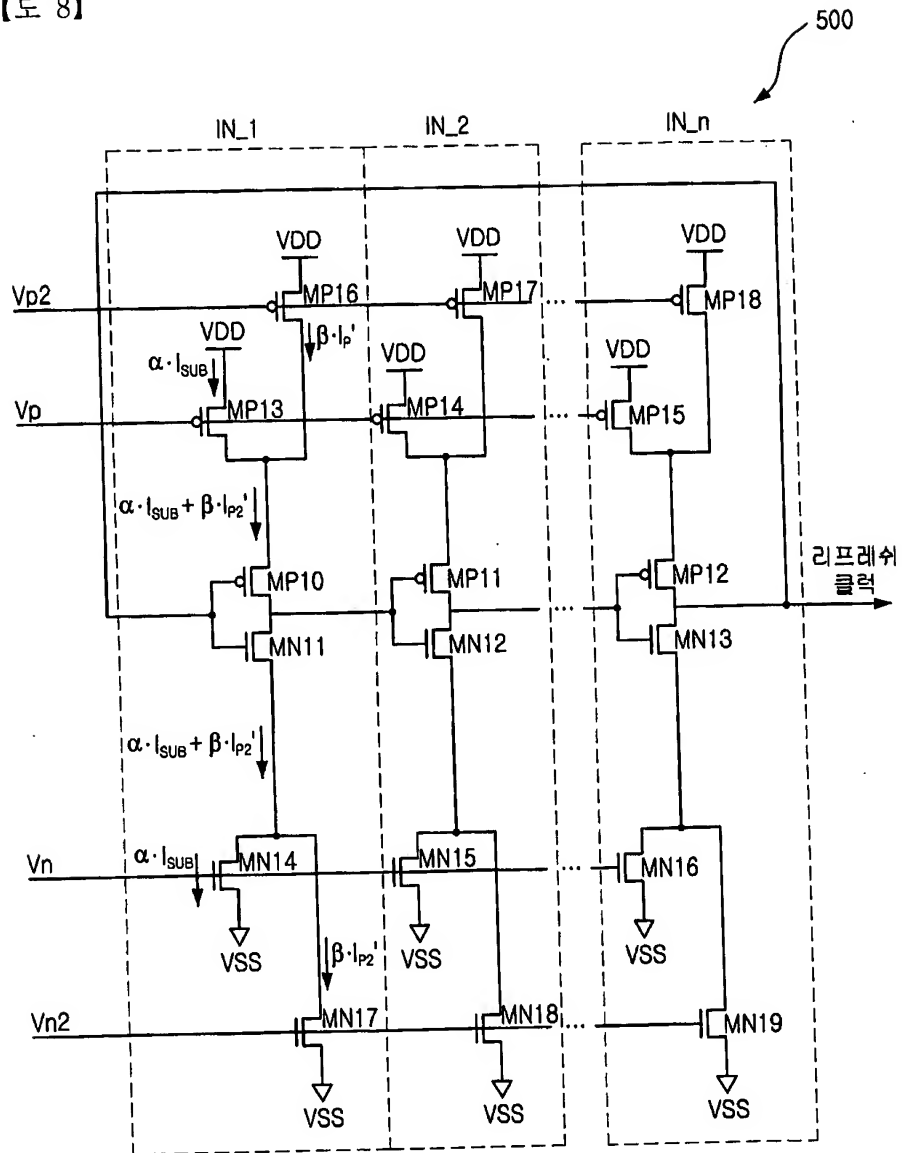
【도 6】



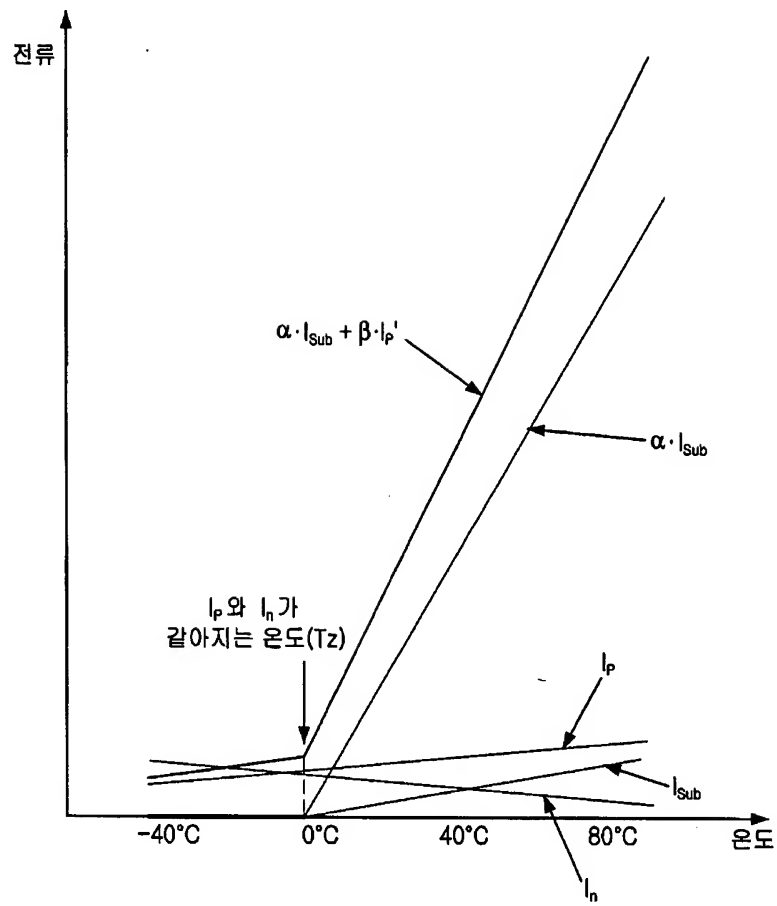
【도 7】



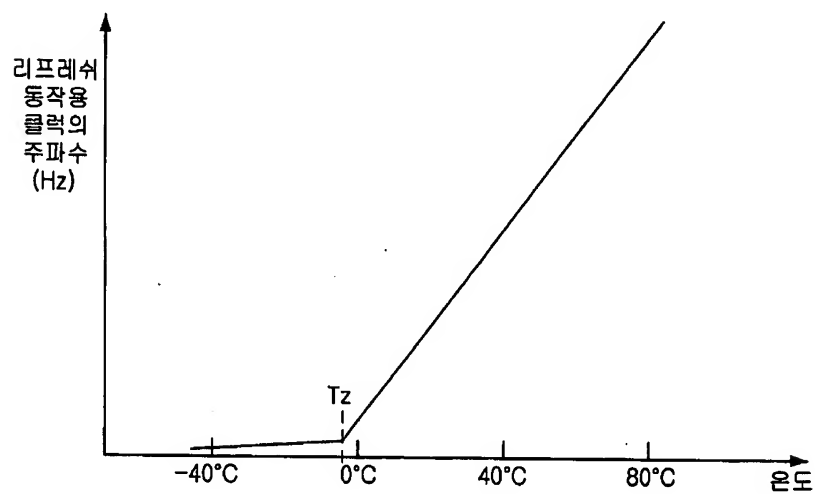
【도 8】



【도 9】



【도 10】



【도 11】

